

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-309369

(43)Date of publication of application : 31.10.2003

(51)Int.Cl. H05K 3/46  
H01L 23/12  
H05K 3/10

(21)Application number : 2002-113621

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 16.04.2002

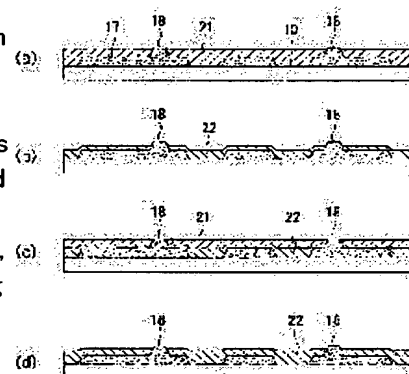
(72)Inventor : FURUSAWA MASAHIRO  
KUROSAWA HIROFUMI  
HASHIMOTO TAKASHI  
ISHIDA MASAYA

## (54) MULTILAYER WIRING SUBSTRATE, MANUFACTURING METHOD OF MULTILAYER WIRING SUBSTRATE, ELECTRONIC DEVICE AND ELECTRONIC APPARATUS

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a multilayer wiring substrate, a manufacturing method of multilayer wiring substrates, an electronic device and an electronic apparatus, which can form elaborate multilayer wiring using a comparatively simple manufacture process.

**SOLUTION:** In the manufacturing method of a multilayer wiring substrate, which is constituted of a wiring layer of at least two layers (wiring patterns 17 and 31) and a polyimide (insulating film between layers) 22 and a conductive post between layers (conductive post) 18 that conducts between the wiring patterns 17 and 31, the polyimide 22 is provided around the conductive post between layers 18, using an entrainment discharge method.



### LEGAL STATUS

[Date of request for examination]

03.04.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

**\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] the interlayer insulation film prepared between the two-layer wiring layer and this wiring layer at least, and the conductor which makes it flow through between these wiring layers -- the manufacture approach of a multilayer-interconnection substrate of coming to have a post -- it is -- said conductor -- the manufacture approach of the multilayer-interconnection substrate characterized by using a drop regurgitation method and preparing said interlayer insulation film around a post.

[Claim 2] Said interlayer insulation film is the manufacture approach of the multilayer-interconnection substrate according to claim 1 characterized by forming using the liquid of hypoviscosity.

[Claim 3] said conductor -- the manufacture approach of the multilayer-interconnection substrate according to claim 1 or 2 characterized by forming a post by the drop regurgitation method.

[Claim 4] The manufacture approach of claim 1 characterized by forming wiring about at least one wiring layer in said wiring layer by the drop regurgitation method thru/or the multilayer-interconnection substrate of three given in any 1 term.

[Claim 5] said interlayer insulation film, said wiring layer, and said conductor -- the manufacture approach of the multilayer-interconnection substrate according to claim 1 characterized by forming all the posts by the drop regurgitation method.

[Claim 6] said interlayer insulation film, said wiring layer, and said conductor -- the manufacture approach of the multilayer-interconnection substrate according to claim 1 characterized by forming all the posts using the same drop regurgitation equipment.

[Claim 7] said wiring and a conductor -- the manufacture approach of claim 3 characterized by formation of a post having the process which repeats by turns the regurgitation to the substrate of conductive ink, and desiccation of this conductive ink by which the regurgitation was carried out thru/or the multilayer-interconnection substrate of six given in any 1 term.

[Claim 8] The manufacture approach of claim 1 characterized by giving a water-repellent finish in the regurgitation-ed side of this substrate before carrying out the regurgitation of the drop to a substrate by said drop regurgitation method thru/or the multilayer-interconnection substrate of seven given in any 1 term.

[Claim 9] The manufacture approach of claim 1 characterized by forming an acceptance layer in the regurgitation-ed side of this substrate before making the regurgitation a substrate by said drop regurgitation method thru/or the multilayer-interconnection substrate of seven given in any 1 term.

[Claim 10] said wiring and a conductor -- the manufacture approach of claim 1 which has and forms the process which calcinates the conductive ink which the post was breathed out by the substrate and dried thru/or the multilayer-interconnection substrate of nine given in any 1 term.

[Claim 11] Formation of said interlayer insulation film is the manufacture approach of claim 1 characterized by having the process which carries out the regurgitation of the liquid containing polyimide or a polyimide precursor to a substrate thru/or the multilayer-interconnection substrate of ten given in any 1 term.

[Claim 12] Formation of said interlayer insulation film is the manufacture approach of the multilayer-interconnection substrate according to claim 11 characterized by having the process which calcinates

this substrate after the process which carries out the regurgitation of the liquid containing said polyimide or a polyimide precursor to a substrate.

[Claim 13] the height of said interlayer insulation film -- said conductor -- the height of a post, and abbreviation -- the manufacture approach of the multilayer-interconnection substrate according to claim 10 characterized by adjusting the amount of the drop breathed out by said drop regurgitation method, the consistency which arranges this drop, and the count of a regurgitation scan so that it may become the same.

[Claim 14] the height of said interlayer insulation film -- said conductor -- the height of a post, and abbreviation -- it becomes the same -- as -- this interlayer insulation film -- and -- this -- a conductor -- a post -- forming -- this interlayer insulation film -- or -- this -- a conductor -- a post top -- the manufacture approach of claim 1 thru/or the multilayer-interconnection substrate of 13 given in any 1 term -- using -- said wiring layer, said layer insulation layer, and said conductor -- the manufacture approach of the multilayer-interconnection substrate characterized by forming at least one of posts.

[Claim 15] The manufacture approach of the multilayer-interconnection substrate characterized by using the manufacture approach of claim 1 thru/or the multilayer-interconnection substrate of 14 given in any 1 term for the chip which has an integrated circuit, and forming a multilayer interconnection.

[Claim 16] approaches other than the manufacture approach of 14 claim 1 thru/or given in any 1 term -- a wiring layer, an interlayer insulation film, and a conductor -- the manufacture approach of the multilayer-interconnection substrate characterized by using the manufacture approach of 14 claim 1 thru/or given in any 1 term to the substrate with which at least one of posts was formed.

[Claim 17] the interlayer insulation film prepared between the two-layer wiring layer and this wiring layer at least, and the conductor which makes it flow through between these wiring layers -- the multilayer-interconnection substrate which comes to have a post -- it is -- said wiring layer, an interlayer insulation film, and a conductor -- the multilayer-interconnection substrate with which at least one of posts is characterized by being manufactured by the manufacture approach of claim 1 thru/or the multilayer-interconnection substrate of 16 given in any 1 term.

[Claim 18] the interlayer insulation film prepared between the two-layer wiring layer and this wiring layer at least, and the conductor which makes it flow through between these wiring layers -- the multilayer-interconnection substrate which comes to have a post -- it is -- said conductor -- the multilayer-interconnection substrate characterized by for thickness being 20 micrometers from 1 micrometer, and a post being the configuration on which the diameter turned down the 10 to 200 micrometers bowl.

[Claim 19] the height of said interlayer insulation film, and said conductor -- the height of a post -- abbreviation -- the multilayer-interconnection substrate according to claim 18 characterized by the same thing.

[Claim 20] The multilayer-interconnection substrate according to claim 18 or 19 characterized by forming the top face of said interlayer insulation film in an abbreviation flat surface.

[Claim 21] a wiring layer, the interlayer insulation film prepared on this wiring layer, and the conductor prepared so that it may pierce through said interlayer insulation film, while connecting with wiring of said wiring layer -- the electron device which comes to have a post -- it is -- said wiring layer, an interlayer insulation film, and a conductor -- the electron device with which at least one of posts is characterized by being manufactured by the manufacture approach of 16 claim 1 thru/or given in any 1 term.

[Claim 22] a wiring layer, the interlayer insulation film prepared on this wiring layer, and the conductor prepared so that it may pierce through said interlayer insulation film, while connecting with wiring of said wiring layer -- the electron device which comes to have a post -- it is -- said conductor -- the electron device characterized by for thickness being 20 micrometers from 1 micrometer, and a post being the configuration on which the diameter turned down the 10 to 200 micrometers bowl.

[Claim 23] the height of said interlayer insulation film, and said conductor -- the height of a post -- abbreviation -- the electron device according to claim 22 characterized by the same thing.

[Claim 24] The electron device according to claim 22 or 23 characterized by forming the top face of said interlayer insulation film in an abbreviation flat surface.

[Claim 25] Electronic equipment characterized by having claim 17 thru/or the multilayer-interconnection substrate of 20 given in any 1 term.

[Claim 26] Electronic equipment characterized by having the electron device of 24 claim 21 thru/or given in any 1 term.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of a multilayer-interconnection substrate and a multilayer-interconnection substrate, an electron device, and electronic equipment.

[0002]

[Description of the Prior Art] There are some which are conventionally depended on the following process as an approach of manufacturing a multilayer printed-circuit board. First, alignment of the monolayer substrate which carried out pattern formation by etching is carried out, and the laminating of each class is carried out. Subsequently, a through hole is made in the position of a substrate in order to connect an up-and-down wiring layer electrically. And the multilayer printed-circuit board was formed by giving a flow by plating etc. or filling the perimeter of the through hole with a conductive paste. However, since the pad for element placements was not able to be formed in the part of a through hole, and since the diameter of a through hole was also usually about 0.3mm, such an approach was difficult for using for high density assembly.

[0003] In recent years, in order to raise a surface mount consistency more, the method which takes the electrical installation between layers by the non-penetrating interlayer connection (it is called "IVH" an interstitial beer hall and the following) is used. The resin multilayer printed wiring board which can carry out the interlayer connection of all the layers in IVH is put in practical use by carrying out metal plating of the non-through hole prepared in the insulating layer by it using the photopolymer or it filled the open beam hole with the conductive paste to the insulating layer by using such a method etc.

[0004] However, all once made the hole in the insulating layer, and have taken how to make the interior of the hole into conductivity with plating or a conductive paste, and the above-mentioned conventional approach had the trouble that a production process became complicated.

[0005] on the other hand -- JP,6-57455,B -- an insulating layer -- a hole -- not opening -- a lower layer wiring top -- a photolithography -- using -- the conductor previously for interlayer connections -- a post -- forming -- subsequently -- a conductor -- the perimeter of a post -- resin -- applying -- a

hotpress -- a conductor -- the approach of forming a multilayer interconnection is indicated by forming an insulator layer so that a posttop face may be exposed, and subsequently forming the upper wiring. moreover, the object for interlayer connections above-mentioned in JP,9-46045,A -- a conductor -- the approach of forming a post by deposition of a stud bump, a conductive ball, and a metal particle is indicated.

[0006]

[Problem(s) to be Solved by the Invention] however -- the approach currently indicated by the above-mentioned official report -- lower layer wiring and the conductor for interlayer connections -- since a post is formed by the option, a production process becomes complicated. after [ moreover, ] applying an insulator layer to the whole surface by the approach currently indicated by the above-mentioned official report -- a hotpress -- a conductor -- since the top face of a post is exposed -- a conductor -- there was a trouble that the height of a post needed to arrange thoroughly.

[0007] Moreover, when JP,2000-204479,A also draws and carries out stoving of the solution of an insulator by the desired pattern, without vacating a hole for an insulating layer, the approach of forming an insulator layer selectively is indicated. Moreover, by the approach currently indicated by JP,2000-204479,A, about the conductor pattern, the activator for electroless deposition, such as a silane coupling agent, is selectively applied by a drop regurgitation method (ink jet method) etc., and the circuit pattern is selectively formed by plating after that. Thus, three dimensions wiring structure can be formed by carrying out pattern spreading so that an insulating layer and a conductor layer may be formed in predetermined sequence.

[0008] however, since the plating process is used, the trouble that it is difficult to form an elaborate pattern [ as / whose width of face of a line/tooth space is 20 micrometers / 20 micrometers ], and waste fluid processing are required of the above-mentioned Prior art -- etc. -- there was a trouble.

[0009] This invention aims at offer of the manufacture approach of the multilayer-interconnection substrate which makes it possible to form an elaborate multilayer interconnection by the comparatively simple production process, and a multilayer-interconnection substrate, an electron device, and electronic equipment.

[0010]

[Means for Solving the Problem] the interlayer insulation film with which the manufacture approach of the multilayer-interconnection substrate of this invention was established between the two-layer wiring layer and this wiring layer at least in order to attain the above-mentioned object, and the conductor which makes it flow through between these wiring layers -- the manufacture approach of a multilayer-interconnection substrate of coming to have a post -- it is -- said conductor -- it is characterized by using a drop regurgitation method and preparing said interlayer insulation film around a post. According to such an approach, when forming an interlayer insulation film, since a photolithography, etching, and a drilling process become unnecessary, the production process of a multilayer-interconnection substrate can be made simple, and the miniaturization of a manufacturing installation, shortening of a manufacture period, and reduction-ization of a manufacturing cost are attained. Moreover, according to such an approach, when forming an interlayer insulation film, since a mask becomes unnecessary, for example, it becomes possible from CAD data to form a direct interlayer insulation film, the period from a design to completion is shortened, and it can respond also to a design change easily. moreover -- since an interlayer insulation film is prepared by the drop regurgitation method according to such an approach -- a conductor -- the top face of a post can form an interlayer insulation film in the condition of having exposed certainly.

[0011] Moreover, as for the manufacture approach of the multilayer-interconnection substrate of this invention, it is desirable that said interlayer insulation film is formed using the liquid of hypoviscosity. the conductor which according to such an approach is formed after the lower layer wiring of the self-leveling effectiveness even if some level differences are in lower layer wiring -- it becomes the flat field which had the top face of a post, and complete set of top face of an interlayer insulation film, and the

multilayer-interconnection substrate of good structure can be formed.

[0012] moreover, the manufacture approach of the multilayer-interconnection substrate of this invention -- said conductor -- it is desirable to form a post by the drop regurgitation method. according to such an approach -- a conductor -- when forming a post, since a photolithography, etching, and a drilling process become unnecessary, the production process of a multilayer-interconnection substrate can be made simple, and the miniaturization of a manufacturing installation, shortening of a manufacture period, and reduction-ization of a manufacturing cost are attained. moreover -- according to such an approach -- a conductor -- direct [ from CAD data ], for example, since a mask becomes unnecessary, when forming a post -- a conductor -- it becomes possible to form a post, the period from a design to completion is shortened, and it can respond now also to a design change easily.

[0013] Moreover, as for the manufacture approach of the multilayer-interconnection substrate of this invention, it is desirable to form wiring about at least one wiring layer in said wiring layer by the drop regurgitation method. According to such an approach, when forming wiring, since a photolithography, etching, and a drilling process become unnecessary, the production process of a multilayer-interconnection substrate can be made simple, and the miniaturization of a manufacturing installation, shortening of a manufacture period, and reduction-ization of a manufacturing cost are attained. moreover, direct [ from CAD data ], for example according to such an approach, since a mask becomes unnecessary, when forming wiring -- a conductor -- it becomes possible to form a post, the period from a design to completion is shortened, and it can respond now also to a design change easily.

[0014] moreover, the manufacture approach of the multilayer-interconnection substrate of this invention -- said interlayer insulation film, said wiring layer, and said conductor -- it is desirable to form all the posts by the drop regurgitation method. According to such an approach, since a photolithography, etching, and a drilling process become unnecessary about all the processes of a multilayer-interconnection substrate, the production process of a multilayer-interconnection substrate can be made substantially simple, and the miniaturization of the further manufacturing installation, shortening of a manufacture period, and reduction-ization of a manufacturing cost are attained. Moreover, according to such an approach, since a mask becomes unnecessary about all the processes of a multilayer-interconnection substrate, for example, it becomes possible from CAD data to form a direct multilayer-interconnection substrate, the period from a design to completion is shortened more, and it can respond also to a design change easily.

[0015] moreover, the manufacture approach of the multilayer-interconnection substrate of this invention -- said interlayer insulation film, said wiring layer, and said conductor -- it is desirable to form all the posts using the same drop regurgitation equipment. According to such an approach, drop regurgitation equipment has two or more discharge heads, or If it is the head of structure which supplies two or more liquids (ink) to two or more nozzle groups of one head independently like the color ink jet printer for the usual image printing Only by replacing the electronic file (bit map) which controls a spreading pattern one drop regurgitation equipment -- an interlayer insulation film, a wiring layer, and a conductor -- since a post can be formed, shortening of the further manufacture period and reduction-ization of a manufacturing cost are attained, and it can respond also to a design change still more easily.

[0016] moreover, the manufacture approach of the multilayer-interconnection substrate of this invention -- said wiring and a conductor -- as for formation of a post, it is desirable to have the process which repeats by turns the regurgitation to the substrate of conductive ink and desiccation of this conductive ink by which the regurgitation was carried out. repeating the regurgitation of the conductive ink to a substrate, and desiccation by turns according to such an approach -- wiring or a conductor -- thickness of the electric conduction film to post can be enlarged gradually, and it can be made desired thickness and desired height. Moreover, since liquid repellance is to the conductive ink which contains the same metal particle in that spreading film after drying the conductive ink (solvent) containing a metal particle by this approach, it is effective in the ability to earn only the thickness of the height direction, without spreading, even if it applies conductive ink to that spreading film in piles. then,

this effectiveness -- using -- a required part -- a conductor -- a post can be formed.

[0017] Moreover, before the manufacture approach of the multilayer-interconnection substrate of this invention carries out the regurgitation of the drop to a substrate by said drop regurgitation method, it is desirable to give a water-repellent finish in the regurgitation-ed side of this substrate. According to such an approach, width of face of wiring can be narrowed and more precise wiring structure can be formed.

[0018] Moreover, before the manufacture approach of the multilayer-interconnection substrate of this invention makes the regurgitation a substrate by said drop regurgitation method, it is desirable to form an acceptance layer in the regurgitation-ed side of this substrate. according to such an approach -- a position -- wiring and a conductor -- it becomes easy to form a post.

[0019] moreover, the manufacture approach of the multilayer-interconnection substrate of this invention -- said wiring and a conductor -- it is desirable to have and form the process which calcinates the conductive ink which the post was breathed out by the substrate and dried. According to such an approach, electric conductivity can be made to discover in the conductive ink breathed out by the substrate. That is, since electric conductivity is not discovered only by drying conductive ink, electric conductivity is made to discover by calcinating.

[0020] Moreover, as for the manufacture approach of the multilayer-interconnection substrate of this invention, it is desirable to have the process which carries out the regurgitation of the liquid with which formation of said interlayer insulation film contains polyimide or a polyimide precursor to a substrate. According to such an approach, after carrying out and carrying out the drop regurgitation to the viscosity which can dilute and carry out the drop regurgitation of the precursor of polyimide with a solvent for example, an interlayer insulation film can be formed by calcinating by 300-degree Centigrade.

[0021] Moreover, as for the manufacture approach of the multilayer-interconnection substrate of this invention, it is desirable to have the process which calcinates this substrate after the process to which formation of said interlayer insulation film carries out the regurgitation of the liquid containing said polyimide or a polyimide precursor to a substrate.

[0022] moreover, the manufacture approach of the multilayer-interconnection substrate of this invention -- the height of said interlayer insulation film -- said conductor -- the height of a post, and abbreviation -- it is desirable to adjust the amount of the drop breathed out by said drop regurgitation method, the consistency which arranges this drop, and the count of a regurgitation scan so that it may become the same. according to such an approach -- the height (thickness) of an interlayer insulation film, and a conductor -- the height (thickness) of a post -- abbreviation -- the multilayer-interconnection substrate of the good structure which becomes the same can be formed. moreover -- the case where the self-leveling effectiveness is expectable in carrying out pattern spreading by the drop regurgitation method according to such an approach -- a conductor -- spreading for forming an interlayer insulation film (a conductor -- the part of a post -- avoiding), using the negative pattern of a bit map used for forming a post as it is can be performed. the conductor after, performing spreading for forming an interlayer insulation film on the other hand until it becomes the same height as lower layer wiring so that lower layer wiring may once be avoided, when the self-leveling effectiveness can seldom expect -- same spreading is performed so that the part of a post may be avoided. And it can calcinate at the end and the interlayer insulation film which consists of polyimide etc. can be completed.

[0023] moreover, the manufacture approach of the multilayer-interconnection substrate of this invention -- the height of said interlayer insulation film -- said conductor -- the height of a post, and abbreviation -- it becomes the same -- as -- this interlayer insulation film -- and -- this -- a conductor -- a post -- forming -- this interlayer insulation film -- or -- this -- a conductor -- a post top -- the manufacture approach of claim 1 thru/or the multilayer-interconnection substrate of 13 given in any 1 term -- using -- said wiring layer, said layer insulation layer, and said conductor -- it is characterized by forming at least one of posts. According to such an approach, a multilayer-interconnection substrate can be manufactured by the simple production process. namely, a conductor -

-- the top face of a post -- exposing -- the other part -- a conductor -- after being in the condition of having been covered with the interlayer insulation film of the same height as a posttop face, the multilayer interconnection which does not have a limit about a number of layers theoretically can be again formed by repeating a water-repellent finish of a substrate, wiring formation with a drop regurgitation method and electric conduction post formation, baking, formation of an interlayer insulation film, baking, etc. the number of predetermined times.

[0024] Moreover, the manufacture approach of the multilayer-interconnection substrate of this invention is characterized by using the manufacture approach of claim 1 thru/or the multilayer-interconnection substrate of 14 given in any 1 term for the chip which has an integrated circuit, and forming a multilayer interconnection. According to such an approach, a multilayer interconnection can be suddenly formed by the drop regurgitation on IC (integrated circuit) chip.

[0025] moreover, the manufacture approach of the multilayer-interconnection substrate of this invention -- approaches other than the manufacture approach of 14 claim 1 thru/or given in any 1 term -- it is -- a wiring layer, an interlayer insulation film, and a conductor -- it is characterized by using the manufacture approach of 14 claim 1 thru/or given in any 1 term to the substrate with which at least one of posts was formed. According to such an approach, a multilayer interconnection can be formed to the substrate formed to the middle using the manufacture approach of the multilayer-interconnection substrate of this invention by the manufacture approach other than the manufacture approach of the multilayer-interconnection substrate of this invention. This approach is suitable to correspond to for example, double-sided mounting. for example, before [ after forming a pattern in the substrate of an innermost layer ] that -- a through hole -- opening -- it -- a metal paste etc. -- burying -- after that -- a conductor -- the multilayer-interconnection substrate mounted in both sides by using the manufacture approach of this invention from the process which stands a post can be formed only using a drop regurgitation method.

[0026] moreover, the interlayer insulation film with which the multilayer-interconnection substrate of this invention was formed between the two-layer wiring layer and this wiring layer at least and the conductor which makes it flow through between these wiring layers -- the multilayer-interconnection substrate which comes to have a post -- it is -- said wiring layer, an interlayer insulation film, and a conductor -- at least one of posts is characterized by being manufactured by the manufacture approach of claim 1 thru/or the multilayer-interconnection substrate of 16 given in any 1 term. according to such a substrate -- said wiring layer, an interlayer insulation film, or a conductor -- when forming a post, since a drop regurgitation method is used, a high-density multilayer interconnection can be formed in high degree of accuracy.

[0027] moreover, the interlayer insulation film with which the multilayer-interconnection substrate of this invention was formed between the two-layer wiring layer and this wiring layer at least and the conductor which makes it flow through between these wiring layers -- the multilayer-interconnection substrate which comes to have a post -- it is -- said conductor -- thickness is 20 micrometers from 1 micrometer, and a post is characterized by being the configuration on which the diameter turned down the 10 to 200 micrometers bowl. according to such a substrate -- a conductor -- since the post is minute, a high-density multilayer interconnection can be formed in high degree of accuracy.

[0028] moreover, the multilayer-interconnection substrate of this invention -- the height of said interlayer insulation film, and said conductor -- the height of a post -- abbreviation -- the same thing is desirable. According to such a substrate, a multilayer-interconnection substrate with many number of layerses can be formed easily.

[0029] Moreover, as for the multilayer-interconnection substrate of this invention, it is desirable that the top face of said interlayer insulation film is formed in an abbreviation flat surface. According to such a substrate, a multilayer-interconnection substrate with many number of layerses can be formed in high degree of accuracy.

[0030] moreover, the conductor prepared so that it may pierce through said interlayer insulation film,



while the electron device of this invention is connected to a wiring layer, the interlayer insulation film prepared on this wiring layer, and wiring of said wiring layer -- the electron device which comes to have a post -- it is -- said wiring layer, an interlayer insulation film, and a conductor -- at least one of posts is characterized by being manufactured by the manufacture approach of 16 claim 1 thru/or given in any 1 term. According to such an electron device, a high-density multilayer interconnection can be formed in high degree of accuracy.

[0031] moreover, the conductor prepared so that it may pierce through said interlayer insulation film, while the electron device of this invention is connected to a wiring layer, the interlayer insulation film prepared on this wiring layer, and wiring of said wiring layer -- the electron device which comes to have a post -- it is -- said conductor -- thickness is 20 micrometers from 1 micrometer, and a post is characterized by being the configuration on which the diameter turned down the 10 to 200 micrometers bowl. according to such an electron device -- a conductor -- since the post is minute, the electron device of a minute configuration can be constituted and an electronic instrument can be miniaturized.

[0032] moreover, the electron device of this invention -- the height of said interlayer insulation film, and said conductor -- the height of a post -- abbreviation -- the same thing is desirable. According to such an electron device, an electron device with many number of layerses can be formed in high degree of accuracy, and an electronic instrument can be miniaturized.

[0033] Moreover, as for the electron device of this invention, it is desirable that the top face of said interlayer insulation film is formed in an abbreviation flat surface. According to such an electron device, an electron device with many number of layerses can be formed in high degree of accuracy, and a miniaturization and elaboration of an electronic instrument become possible.

[0034] Moreover, the electronic equipment of this invention is characterized by having said multilayer-interconnection substrate. According to this invention, it becomes possible to carry out reduction-izing and a miniaturization of a manufacturing cost, shortening the production time of electronic equipment.

[0035] Moreover, the electronic equipment of this invention is characterized by having said electron device. According to this invention, it becomes possible to carry out reduction-izing and a miniaturization of a manufacturing cost, shortening the production time of electronic equipment.

[0036]

[Embodiment of the Invention] Hereafter, the manufacture approach of the multilayer-interconnection substrate concerning this invention is explained based on a drawing.

(The 1st operation gestalt) Drawing 1 thru/or drawing 3 are process drawings showing the manufacture approach of the multilayer-interconnection substrate concerning the 1st operation gestalt of this invention. Drawing 1 shows from \*\* ink down stream processing to layer post formation. Drawing 2 shows the interlayer insulation film formation process. Drawing 3 shows the process after bilayer eye circuit pattern formation. Multilayer printed wiring is formed in the one side side of a substrate 10 with this operation gestalt.

[0037] <Conductive ink> First, it is the liquid breathed out from drop regurgitation equipment, and the conductive ink used when forming multilayer printed wiring is explained. With this operation gestalt, the golden particle dispersion liquid (vacuum metallurgy company make, trade name "perfect gold") which distributed the golden particle with a diameter of about 10nm in toluene are diluted with toluene, it adjusts so that that viscosity may be set to 3 [mPa-s], and this liquid is used as conductive ink.

[0038] The \*\* ink processing (water-repellent finish) performed to <\*\* ink down stream processing>, next the front face of a substrate is explained. By performing this \*\* ink processing, the location of the conductive ink breathed out on the substrate is more controllable to high degree of accuracy. First, the substrate 10 which consists of polyimide is irradiated in IPA, ultraviolet rays with an after [ washing ] and a wavelength of 254nm are irradiated for 10 minutes by the reinforcement of 10 mW/cm2, and it washes further (UV irradiation washing). In order to perform \*\* ink processing to this substrate 10, the hexa deca fluoroes 1, 1, 2, and 2, and tetrahydro decyltriethoxysilane 0.1g and a substrate 10 are put into a well-closed container with a volume of 10l., and it holds by 120-degree Centigrade for 2 hours.

Thereby, the monomolecular film of \*\* ink nature is formed on a substrate 10. The contact angle of the front face of a substrate 10 in which this monomolecular film was formed, and the above-mentioned conductive ink by which the drop was carried out on that front face becomes about 70 degrees.

[0039] The contact angle of the substrate front face after the above-mentioned \*\* ink processing and conductive ink is too large in order to form multilayer printed wiring by the drop regurgitation method. Then, the ultraviolet rays of the same wavelength (254nm) as the time of carrying out said washing to this substrate 10 are irradiated for 2 minutes. Consequently, the contact angle on conductive ink and the front face of a substrate becomes about 35 degrees. In addition, an acceptance layer may be formed instead of \*\* ink processing.

[0040] The regurgitation of the above-mentioned conductive ink is carried out to the substrate 10 with which the <1st layer wiring formation process> \*\*\*\*\* ink processing was performed. This is breathed out as a drop 12 from the ink jet head 11 of drop regurgitation equipment, and it is performed so that it may become the bit map pattern of a predetermined dot space. Subsequently, it heat-treats and an electric conduction film pattern is formed.

[0041] Here, as an ink jet head 11, the head of a commercial printer (trade name "PM950C") is used, for example. Moreover, since the ink inhalation section is a product made from plastics, what changed the inhalation section into the metal fixture so that it might not dissolve to an organic solvent is used. If the regurgitation of the above-mentioned conductive ink is carried out using driver voltage of the ink jet head 11 as 20V, the drop 12 of the volume of a 5pico liter will be breathed out. The diameter of the drop 12 is about 27 micrometers. After a drop 12 reaches the target on a substrate 10 (35 contact angles), the drop 12 spreads in diameter of about 45 micrometers on a substrate 10.

[0042] As a circuit pattern which draws on a substrate 10, on the grid which consists of a square which is 50 micrometers, one side designed as a monochrome binary bit map, and formed by carrying out the regurgitation of the drop 12 according to this bit map, for example. That is, as shown in drawing 1 (a), the conductive ink which contains a golden particle on a substrate 10 from the ink jet head 11 was breathed out so that it might become the arrangement in every 50 micrometers.

[0043] Since one drop 13 which reached the substrate 10 spreads in diameter of about 45 micrometers on condition that the above, drop 13 adjacent comrades did not contact but all dots (drop 13) are isolated on a substrate 10. It once cooled naturally for several minutes after performing the pattern regurgitation until it hit the hot blast of 100-degree Centigrade to the substrate 10 for 15 seconds and the substrate 10 returned to the room temperature after that, in order to dry the solvent of conductive ink. Consequently, it will be in the condition which shows in drawing 1 (b).

[0044] After this processing, the \*\* ink nature of a substrate 10 is not different from before processing. Moreover, the thickness of the ink droplet 14 which the solvent was flown from the drop 13 by desiccation etc., and was formed is set to about 2 micrometers. Moreover, the \*\* ink nature on this ink droplet 14 turns into \*\* ink nature almost comparable as a part without an ink droplet 14.

[0045] Then, the regurgitation of the drop 15 which aims at the medium of a dot (ink droplet 14) when the \*\*\*\* was isolated like drawing 1 (c), and consists of the same liquid as a drop 13 on the same conditions as the above again is carried out. In drawing 1, although only the sectional view is shown, when the same isolated dot as an ink droplet 14 exists also in this Fig. (space) and a perpendicular direction, the medium of the dot breathes out the drop 15 similarly. By this regurgitation, the almost same result as the case of the regurgitation to a substrate 10 and the substrate 10 which does not have an ink droplet 14 at the regurgitation in the above-mentioned conditions since the liquid repellance on an ink droplet 14 was almost the same is obtained.

[0046] Then, hot air drying is performed like [ drop / 15 ] the above, the solvent of conductive ink is volatilized, and the pattern 16 with which all the ink droplets were connected is formed like drawing 1 (d) of this. Furthermore, in order to earn thickness, and in order to make it the configuration of a dot not remain in a circuit pattern, the line breadth of 50 micrometers and the circuit pattern 17 of 10 micrometers of thickness as show the regurgitation which aims at the medium of the dot performed like

the above, and the course of hot air drying repeatedly to drawing 1 (e) also including a part as stated above a total of 6 times are formed. In addition, only by flying the solvent of conductive ink in this phase, since baking is inadequate, there is no electrical conductivity in a circuit pattern.

[0047] The layer flow post (conductor post) 18 for penetrating a <layer flow post formation process>, next an interlayer insulation film, and aiming at a flow with a bilayer eye which it is is formed. Here, a layer flow post can be formed at the completely same process as the above-mentioned 1st layer wiring formation process. That is, the flow between layers carries out the regurgitation of the conductive ink which contained the silver particle only in the required location in piles on both sides of hot air drying discharge and in between. And as a total of 6 times of regurgitation shows to drawing 1 (f), the height from an eye forms further the layer flow post 18 which is 10 micrometers.

[0048] Then, the substrate 10 by which pattern formation was carried out is heat-treated for 30 minutes by 300-degree Centigrade in atmospheric air, and silver particles are contacted electrically. Thereby, it is formed in the form which the circuit pattern 17 of the 1st layer and the layer flow post 18 unified. Moreover, the thickness of a circuit pattern 17 and the layer flow post 18 whole serves as the abbreviation half before heat treatment like drawing 1 (g) by this heat treatment. Here, the electrical conductivity of a silver circuit pattern is set to about 2 [muomegacm]. When assessment according the adhesion force of a circuit pattern 17 and a substrate 10 to a Scotch tape (trademark) trial is performed, it turns out that there is no peeling and there is sufficient adhesion force.

[0049] In forming a <interlayer insulation film formation process>, next an interlayer insulation film, ultraviolet rays with a wavelength of 256nm were irradiated for 5 minutes by the reinforcement of 10 [mW/cm<sup>2</sup>] as pretreatment at the substrate 10 with which the circuit pattern 17 of an eye was formed further. this -- the front face of a substrate 10 -- and the circuit pattern 17 top of an eye serves as parent ink nature further.

[0050] As ink 21 for forming an interlayer insulation film, the commercial polyimide varnish (the Du Pont make, product name "Pile ML") was diluted with the solvent (N-methyl-2-pyrrolidone), and it adjusted and used, for example so that viscosity might be set to 20 [mPa·s]. It applied so that the part of the layer electric conduction post 18 might be avoided with the same equipment as the drop regurgitation equipment which used this ink 21 by formation of the conductive pattern in the above-mentioned 1st layer wiring formation process. Although the amount of an ink droplet is made for example, into a 5pico liter, after reaching substrate 10 front face and circuit pattern 17 of parent ink nature, it wets wet and spreads, and all parts other than the layer electric conduction post section are covered in ink 21. Moreover, the front face of ink 21 becomes flat according to the self-leveling effectiveness. And as drawing 2 (a) shows, the layer electric conduction post 18 gives two coats of ink 21 several times with drop regurgitation equipment to the height which comes out from the oil level of ink 21 slightly (about 0.1 micrometers).

[0051] Subsequently, this substrate 10 was heat-treated for 30 minutes by 400-degree Centigrade, and clearance of a solvent and hardening of polyimide were performed. Consequently, as shown in drawing 2 (b), the thickness of polyimide 22 serves as the abbreviation half of the ink 21 before heat treatment. Then, pattern spreading of the ink 21 is carried out on polyimide 22 like the above once again, and as shown in drawing 2 (c), the layer electric conduction post 18 comes out from the oil level of ink 21 slightly. And if it heat-treats for 30 minutes and is made to harden by 400-degree Centigrade like the above, as shown in drawing 2 (d), the thickness of polyimide 22 will be set to a total of 8 micrometers in the thinnest part.

[0052] In this condition, the irregularity which reflected the circuit pattern of an eye further is seen in the front face of polyimide 22. However, if the process (it applies and calcinates to height until a posttop face comes out slightly) same once again as the above is performed, it will approach still more evenly. Moreover, it is the same, even if it does not apply a polyimide precursor to the whole surface, but it applies only to a crevice and it calcinates.

[0053] By repeating such a process several times, flattening of the front face of polyimide 22 can be

carried out even to extent which irregularity can disregard mostly in a subsequent process. In the application than to which greater importance is not attached so much to surface irregularity, the above does not need to perform a flat chemically-modified degree. In addition, with the following operation gestalten, in order to simplify explanation, on a drawing, it explains as that to which the front face became flat altogether. By the above, the top face of the layer flow post 18 can form an interlayer insulation film (polyimide 22) in the form exposed certainly.

[0054] In order to form the circuit pattern 31 of a bilayer eye on a <bilayer eye circuit pattern formation process> interlayer insulation film (polyimide 22), the completely same much more process as an eye is performed. That is, each process of IPA washing, UV irradiation washing, the formation of \*\* ink by the alkyl fluoride silane, adjustment of the contact angle by UV irradiation, the pattern regurgitation of silver particle content ink, and hot air drying is performed. And only a required count repeats the process of regurgitation → hot-air-drying → regurgitation → hot air drying.

[0055] After forming the layer flow post 32 like the 1st layer as shown in drawing 3 (a) in multilayering furthermore, it calcinates to bilayer eye wiring and coincidence, and a flow is aimed at. The interlayer insulation film 33 for 2 or 3 layers as shown by drawing 3 (b) is formed completely like the time of forming the interlayer insulation film between 1 and two-layer (polyimide 22) from moreover. Such an any number of layers process can be multilayered because only a required count repeats. Drawing 3 (c) is the example formed to the third layer.

[0056] (The 2nd operation gestalt) Drawing 4 is process drawing showing the manufacture approach of the multilayer-interconnection substrate concerning the 2nd operation gestalt of this invention.

Multilayer printed wiring is formed in both sides of the core substrate 40 with this operation gestalt.

[0057] In having carried out the laminating of a circuit pattern and the insulator layer pattern, and having formed them by the drop regurgitation method, like the 1st operation gestalt, only the same single-sided board as the 1st operation gestalt is made. What is necessary is just to perform the same process as the 1st operation gestalt to both-sides side as a core substrate 40 which takes the lead using the usual double-sided wiring substrate by making this into a starting point, in order to form multilayer printed wiring in both sides of a substrate.

[0058] However, it is desirable to use the thing of the type which does not have a through hole as a core substrate 40, and this has the approach of filling up a through hole with the metal paste 41, the approach of making the non-through hole to copper foil in a single-sided copper foil substrate, and filling up into it with a metal paste, etc. The usual photolithography or laser radiation performs drilling. Moreover, the approach of filling up with a drop regurgitation method into a through hole or a non-through hole the conductive ink containing the same silver particle as what was used with the 1st operation gestalt may be used.

[0059] Thus, multilayer printed wiring can be formed in both sides of the core substrate 40 by leaving the condition that the circuit pattern was formed in core substrate 40 both sides, and repeating successively the process which forms the layer flow post 42, the process which forms an interlayer insulation film 43, and the process which forms the circuit pattern 44 of the following layer to both sides.

[0060] (The 3rd operation gestalt) Drawing 5 is process drawing showing the manufacture approach of the multilayer-interconnection substrate concerning the 3rd operation gestalt of this invention. This operation gestalt draws a circuit pattern suddenly, and forms multilayer printed wiring on what [ what forms rewiring by the chip scale package (CSP:Chip Scale Package) technique ], i.e., a chip.

[0061] First, as shown in drawing 5 (a), \*\* ink processing is carried out to the IC chip 50 which even the aluminum pad 51 formed using a monomolecular film. This processing is almost the same as the processing performed with the 1st operation gestalt, and is the same as \*\* ink processing of the 1st operation gestalt except having used decyltriethoxysilane as an ingredient of a monomolecular film.

[0062] Subsequently, as shown in drawing 5 (b), the layer with a diameter of 50 micrometers electric conduction post 52 is formed in the core of all the aluminum pads 51 in height of 5 micrometers according to the same process as the 1st operation gestalt. Furthermore, an interlayer insulation film 53

is formed according to the same process as the 1st operation gestalt to the same height as the top face of the layer electric conduction post 52. By this, the interlayer insulation film 53 with a flat front face can be formed, exposing certainly the top face of the layer electric conduction post 52.

[0063] Then, rewiring 54 is formed from the aluminum pad 51 of the IC chip 50 like drawing 5 (c) by performing the process of electric conduction pillar \*\* → interlayer insulation film formation like the above between \*\* ink processing → bilayer wiring layer formation → layers. Subsequently, the bump 56 prepared on a pad 55 and its pad 55 is formed by the same approach as the wiring formation in a usual photolithography or the usual 1st operation gestalt after the layer electric conduction post 52 which has appeared in the substrate front face.

[0064] (The 4th operation gestalt) Drawing 6 is process drawing showing the manufacture approach of the multilayer-interconnection substrate concerning the 4th operation gestalt of this invention. This operation gestalt forms the coil configuration of the antenna trailer in wireless IC card 60 by the manufacture approach of the above-mentioned operation gestalt. In addition, drawing 6 (a'), drawing 6 (b'), and drawing 6 (c') show the sectional view between the two pad sections 65 in drawing 6 (a), drawing 6 (b), and drawing 6 (c), respectively.

[0065] This wireless IC card 60 consists of an IC chip 63 mounted in the polyimide film 61, and a coiled form antenna 62. The IC chip 63 consists of nonvolatile memory, a logical circuit, a RF circuit, etc., and it operates by catching the electric wave taken out from the external transmitter with an antenna 62, and receiving an electric power supply. Moreover, the IC chip 63 analyzes the signal which the antenna 62 received, and makes the required predetermined signal corresponding to the analysis result send from an antenna 62.

[0066] In order to create such a wireless IC card, as shown in drawing 6 (a), the coiled form antenna 62 is first formed on a polyimide film 61 like the 1st layer wiring formation process of the first operation gestalt. Terminal area 63a which mounts the pad section 64 and the IC chip 63 is also formed simultaneously with an antenna 62. After forming an antenna 62, the layer flow post 65 is further formed on the pad section 64 like the first operation gestalt. Subsequently, as shown in drawing 6 (b) like the 1st operation gestalt, polyimide is applied to a pattern and an interlayer insulation film 66 is formed so that the top face of the layer flow post 65 may come out.

[0067] After forming an interlayer insulation film 66, further, like the 1st operation gestalt, the conductive ink of silver particle content is applied to a pattern as shown in drawing 6 (c) by the drop regurgitation method, and the wiring 67 which calcinates and connects the ends of the coiled form antenna 62 after that is formed. Finally, the IC chip 63 is mounted in the location of drawing 6 (C) using an anisotropy electric conduction film, and the whole is laminated with the protection film which is not illustrated further, and it becomes wireless IC card 60. This wireless IC card 60 can communicate with the reader/writer of the exterior distant 5cm, for example.

[0068] In addition, when the pad section 64 is comparatively as large as several mm angle, even if it does not form the layer flow post 65, multilayer printed wiring can be prepared by leaving a field required for the flow between layers, and forming an interlayer insulation film 65. In this case, the part of the edge of the layer insulation layer 66 can form wiring 67 with a drop regurgitation method, without disconnecting on that layer insulation layer 66, since it becomes a configuration with a taper.

[0069] (Electronic equipment) The example of electronic equipment equipped with the substrate manufactured using the manufacture approach of the multilayer-interconnection substrate of the above-mentioned operation gestalt is explained. Drawing 7 is the perspective view having shown an example of a cellular phone. In drawing 7, a sign 1000 shows the body of a cellular phone, and the sign 1001 shows the display using the multilayer-interconnection substrate manufactured by the manufacture approach of the above-mentioned operation gestalt.

[0070] Drawing 8 is the perspective view having shown an example of wrist watch mold electronic equipment. In drawing 8, a sign 1100 shows the body of a clock and the sign 1101 shows the display using the multilayer-interconnection substrate manufactured by the manufacture approach of the

above-mentioned operation gestalt.

[0071] Drawing 9 is the perspective view having shown an example of pocket mold information processors, such as a word processor and a personal computer. In drawing 9, as for the information processor and the sign 1202, the sign 1200 shows the display using the multilayer-interconnection substrate with which the input sections, such as a keyboard, and a sign 1204 were manufactured by the body of an information processor, and the sign 1206 was manufactured by the manufacture approach of the above-mentioned operation gestalt.

[0072] It can shorten a manufacture period while it is manufactured by the precision by the production process simpler than the conventional thing, since the electronic equipment shown in drawing 9 from drawing 7 is equipped with the multilayer-interconnection substrate manufactured by the manufacture approach of the above-mentioned operation gestalt.

[0073] In addition, the technical range of this invention is not limited to the above-mentioned operation gestalt, it cannot pass over a concrete ingredient, lamination, the manufacture approach which it is possible to add various modification in the range which does not deviate from the meaning of this invention, and were mentioned with the operation gestalt to a mere example, but they can be changed suitably. For example, the manufacture approach concerning this invention is not limited to manufacture of multilayer printed wiring, and can be applied to multilayer interconnections, such as a large-sized display unit.

[0074]

[Effect of the Invention] according to [ so that clearly / in the above explanation ] this invention -- a conductor -- since a drop regurgitation method is used and an interlayer insulation film is prepared around a post, it becomes possible to form an elaborate multilayer interconnection by the comparatively simple production process.

---

[Translation done.]

#### \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

#### DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is process drawing showing the manufacture approach of the multilayer-interconnection substrate concerning the 1st operation gestalt of this invention.

[Drawing 2] It is process drawing showing the manufacture approach of the multilayer-interconnection substrate concerning the 1st operation gestalt of this invention.

[Drawing 3] It is process drawing showing the manufacture approach of the multilayer-interconnection substrate concerning the 1st operation gestalt of this invention.

[Drawing 4] It is process drawing showing the manufacture approach of the multilayer-interconnection substrate concerning the 2nd operation gestalt of this invention.

[Drawing 5] It is process drawing showing the manufacture approach of the multilayer-interconnection

substrate concerning the 3rd operation gestalt of this invention.

[Drawing 6] It is process drawing showing the manufacture approach of the multilayer-interconnection substrate concerning the 4th operation gestalt of this invention.

[Drawing 7] It is drawing showing an example of electronic equipment equipped with the electro-optic device of this operation gestalt.

[Drawing 8] It is drawing showing an example of electronic equipment equipped with the electro-optic device of this operation gestalt.

[Drawing 9] It is drawing showing an example of electronic equipment equipped with the electro-optic device of this operation gestalt.

[Description of Notations]

- 10 Substrate
- 11 Ink Jet Head
- 12, 13, 15 Drop
- 14 Ink Droplet
- 16 Pattern
- 17 Circuit Pattern
- 18 Layer Flow Post (Conductor Post)
- 21 Ink
- 22 Polyimide (Interlayer Insulation Film)
- 31 Circuit Pattern (Bilayer Eye)
- 32 Layer Flow Post
- 33 Interlayer Insulation Film
- 40 Core Substrate
- 41 Metal Paste
- 42 Layer Flow Post
- 43 Interlayer Insulation Film
- 44 Circuit Pattern
- 50 IC Chip
- 51 Aluminum Pad
- 52 Layer Electric Conduction Post
- 53 Interlayer Insulation Film
- 54 Rewiring
- 55 Pad
- 56 Bump
- 60 Wireless IC Card
- 61 Polyimide Film
- 62 Antenna
- 63 IC Chip
- 63a The connection of IC chip
- 64 Pad Section
- 65 Layer Flow Post
- 66 Interlayer Insulation Film
- 67 Wiring

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-309369

(P2003-309369A)

(43) 公開日 平成15年10月31日 (2003. 10. 31)

(51) Int.Cl.<sup>7</sup>

H 0 5 K 3/46

識別記号

F I

H 0 5 K 3/46

テ-マ-ト\* (参考)

N 5 E 3 4 3

B 5 E 3 4 6

Q

T

Y

審査請求 有 請求項の数26 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願2002-113621 (P2002-113621)

(22) 出願日 平成14年4月16日 (2002. 4. 16)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 古沢 昌宏

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 黒沢 弘文

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100089037

弁理士 渡邊 隆 (外2名)

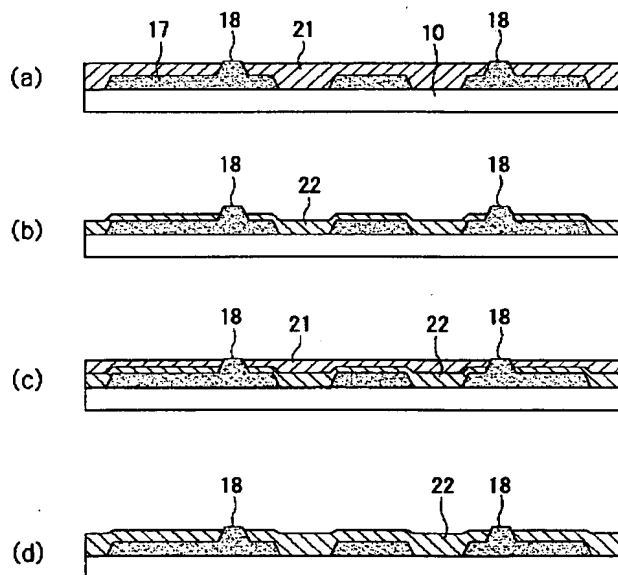
最終頁に続く

(54) 【発明の名称】 多層配線基板、多層配線基板の製造方法、電子デバイス及び電子機器

(57) 【要約】

【課題】 比較的簡素な製造工程で、精巧な多層配線を形成することを可能とする多層配線基板、多層配線基板の製造方法、電子デバイス及び電子機器を提供する。

【解決手段】 少なくとも2層の配線層 (配線パターン17、31) と、該配線層間に設けられたポリイミド (層間絶縁膜) 22と、配線パターン17と配線パターン31間を導通させる層間導通ポスト (導体ポスト) 18とを有してなる多層配線基板の製造方法であって、層間導通ポスト18の周辺に液滴吐出方式を用いてポリイミド22を設ける。





(2)

1

## 【特許請求の範囲】

【請求項1】 少なくとも2層の配線層と、該配線層間に設けられた層間絶縁膜と、該配線層間を導通させる導体ポストとを有してなる多層配線基板の製造方法であって、

前記導体ポストの周辺に液滴吐出方式を用いて前記層間絶縁膜を設けることを特徴とする多層配線基板の製造方法。

【請求項2】 前記層間絶縁膜は、低粘度の液体を用いて形成することを特徴とする請求項1記載の多層配線基板の製造方法。

【請求項3】 前記導体ポストを液滴吐出方式で形成することを特徴とする請求項1又は2記載の多層配線基板の製造方法。

【請求項4】 前記配線層のうちの少なくとも1つの配線層についての配線を液滴吐出方式で形成することを特徴とする請求項1乃至3のいずれか一項記載の多層配線基板の製造方法。

【請求項5】 前記層間絶縁膜、前記配線層及び前記導体ポストの全てを液滴吐出方式で形成することを特徴とする請求項1記載の多層配線基板の製造方法。

【請求項6】 前記層間絶縁膜、前記配線層及び前記導体ポストの全てを同一の液滴吐出装置を用いて形成することを特徴とする請求項1記載の多層配線基板の製造方法。

【請求項7】 前記配線及び導体ポストの形成は、導電性インクの基板への吐出と、該吐出された導電性インクの乾燥とを交互に繰り返す工程を有することを特徴とする請求項3乃至6のいずれか一項記載の多層配線基板の製造方法。

【請求項8】 前記液滴吐出方式で基板に液滴を吐出する前に、該基板の被吐出面に撥水処理を施すことを特徴とする請求項1乃至7のいずれか一項記載の多層配線基板の製造方法。

【請求項9】 前記液滴吐出方式で基板に吐出をする前に、該基板の被吐出面に受容層を形成することを特徴とする請求項1乃至7のいずれか一項記載の多層配線基板の製造方法。

【請求項10】 前記配線及び導体ポストは、基板に吐出され乾燥した導電性インクを焼成する工程を有して形成する請求項1乃至9のいずれか一項記載の多層配線基板の製造方法。

【請求項11】 前記層間絶縁膜の形成は、ポリイミドまたはポリイミド前駆体を含む液体を基板に吐出する工程を有することを特徴とする請求項1乃至10のいずれか一項記載の多層配線基板の製造方法。

【請求項12】 前記層間絶縁膜の形成は、前記ポリイミドまたはポリイミド前駆体を含む液体を基板に吐出する工程の後に、該基板を焼成する工程を有することを特徴とする請求項11に記載の多層配線基板の製造方法。

2

【請求項13】 前記層間絶縁膜の高さが前記導体ポストの高さと略同一となるように、前記液滴吐出方式で吐出される液滴の量、該液滴を配置する密度及び吐出走査回数を調整することを特徴とする請求項10記載の多層配線基板の製造方法。

【請求項14】 前記層間絶縁膜の高さが前記導体ポストの高さと略同一となるように該層間絶縁膜及び該導体ポストを形成し、該層間絶縁膜又は該導体ポストの上に、請求項1乃至13のいずれか一項記載の多層配線基板の製造方法を用いて、前記配線層、前記層間絶縁層及び前記導体ポストのうちの少なくとも一つを形成することを特徴とする多層配線基板の製造方法。

【請求項15】 集積回路を有するチップに、請求項1乃至14のいずれか一項記載の多層配線基板の製造方法を用いて多層配線を形成することを特徴とする多層配線基板の製造方法。

【請求項16】 請求項1乃至14のいずれか一項記載の製造方法以外の方法で、配線層、層間絶縁膜及び導体ポストのうちの少なくとも一つが形成された基板に対して、請求項1乃至14のいずれか一項記載の製造方法を用いることを特徴とする多層配線基板の製造方法。

【請求項17】 少なくとも2層の配線層と、該配線層間に設けられた層間絶縁膜と、該配線層間を導通させる導体ポストとを有してなる多層配線基板であって、前記配線層、層間絶縁膜及び導体ポストのうちの少なくとも一つが、請求項1乃至16のいずれか一項記載の多層配線基板の製造方法によって製造されたものであることを特徴とする多層配線基板。

【請求項18】 少なくとも2層の配線層と、該配線層間に設けられた層間絶縁膜と、該配線層間を導通させる導体ポストとを有してなる多層配線基板であって、前記導体ポストは、厚さが1マイクロメートルから20マイクロメートルであり、直径が10マイクロメートルから200マイクロメートルのお椀を伏せたような形状であることを特徴とする多層配線基板。

【請求項19】 前記層間絶縁膜の高さと前記導体ポストの高さが略同一であることを特徴とする請求項18記載の多層配線基板。

【請求項20】 前記層間絶縁膜の上面が略平面に形成されていることを特徴とする請求項18又は19記載の多層配線基板。

【請求項21】 配線層と、該配線層の上に設けられた層間絶縁膜と、前記配線層の配線に接続されているとともに前記層間絶縁膜を貫くように設けられている導体ポストとを有してなる電子デバイスであって、前記配線層、層間絶縁膜及び導体ポストのうちの少なくとも一つが、請求項1乃至16のいずれか一項記載の製造方法によって製造されたものであることを特徴とする電子デバイス。

【請求項22】 配線層と、該配線層の上に設けられた

(3)

3

層間絶縁膜と、前記配線層の配線に接続されているとともに前記層間絶縁膜を貫くように設けられている導体ポストとを有してなる電子デバイスであって、前記導体ポストは、厚さが1マイクロメートルから20マイクロメートルであり、直径が10マイクロメートルから200マイクロメートルのお椀を伏せたような形状であることを特徴とする電子デバイス。

【請求項23】 前記層間絶縁膜の高さと前記導体ポストの高さが略同一であることを特徴とする請求項22記載の電子デバイス。

【請求項24】 前記層間絶縁膜の上面が略平面に形成されていることを特徴とする請求項22又は23記載の電子デバイス。

【請求項25】 請求項17乃至20のいずれか一項記載の多層配線基板を備えたことを特徴とする電子機器。

【請求項26】 請求項21乃至24のいずれか一項記載の電子デバイスを備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多層配線基板、多層配線基板の製造方法、電子デバイス及び電子機器に関する。

【0002】

【従来の技術】従来、多層のプリント配線基板を製造する方法としては次の工程によるものがある。まず、エッチングでパターン形成した単層基板を位置合わせして各層を積層する。次いで、上下の配線層を電氣的に接続するために基板の所定の位置に貫通穴をあける。そして、その貫通穴の周囲をメッキなどで導通を持たせたり、導電性ペーストで埋めることで、多層のプリント配線基板を形成していた。しかし、このような方法は、貫通穴の部分には部品搭載用のパッドを形成することができないため、また貫通穴の直径も通常0.3mm程度であるため、高密度実装に用いるのは困難であった。

【0003】近年では、表面実装密度をより向上させるために、非貫通の層間接続（インタースティシャルビアホール、以下「IVH」という）によって層間の電氣的接続をとる方式が使われている。このような方式を用いることで、絶縁層に開けた穴を導電性ペーストで埋める、又は感光性樹脂を用いて絶縁層に設けた非貫通穴を金属メッキすることなどにより、全層をIVHで層間接続できるような、樹脂多層プリント配線板が実用化されている。

【0004】しかし、上記従来の方法はいずれも一旦絶縁層に穴をあけて、その穴の内部をメッキ又は導電性ペーストで導電性にするという手法を採っており、製造工程が複雑になるという問題点があった。

【0005】これに対して、特公平6-57455号公報には、絶縁層に穴を開けるのではなく、下層配線上にフォトリソグラフィを使って先に層間接続用の導体ポス

4

トを形成し、次いで、導体ポストの周囲に樹脂を塗布してホットプレスによって導体ポスト上面が露出するように絶縁膜を形成し、次いで、上層配線を形成することによって、多層配線を形成する方法が開示されている。また、特開平9-46045号公報では、上記の層間接続用導体ポストを、スタッドバンプ、導電性ボール、金属微粒子の堆積により形成する方法が開示されている。

【0006】

【発明が解決しようとする課題】しかしながら、上記公報に開示されている方法では、下層配線と層間接続用の導体ポストが別の方法で形成されるため、製造工程が複雑となる。また、上記公報に開示されている方法では、絶縁膜を全面に塗布した後にホットプレスで導体ポストの上面を露出させるので、導体ポストの高さが完全に揃える必要があるという問題点があった。

【0007】また、特開2000-204479号公報でも、絶縁層に穴を空けることなく、絶縁体の溶液を所望のパターンで描画し、加熱乾燥させることによって選択的に絶縁膜を形成する方法が開示されている。また、特開2000-204479号公報で開示されている方法では、導体パターンについて、シランカップリング剤などの無電解メッキのためのアクティベーターを液滴吐出方式（インクジェット方式）などで選択的に塗布し、その後にメッキを行なうことによって選択的に配線パターンを形成している。このように、絶縁層と導体層が所定の順序で形成されるようにパターン塗布することで、三次元的な配線構造を形成することができる。

【0008】しかしながら、上記従来の技術では、メッキ工程を用いているので、ライン/スペースの幅が20μm/20μmのような精巧なパターンを形成することが困難であるという問題点及び廃液処理が必要であるなどの問題点があった。

【0009】本発明は、比較的簡素な製造工程で精巧な多層配線を形成することを可能とする多層配線基板、多層配線基板の製造方法、電子デバイス及び電子機器の提供を目的とする。

【0010】

【課題を解決するための手段】上記した目的を達成するために、本発明の多層配線基板の製造方法は、少なくとも2層の配線層と、該配線層間に設けられた層間絶縁膜と、該配線層間を導通させる導体ポストとを有してなる多層配線基板の製造方法であって、前記導体ポストの周辺に液滴吐出方式を用いて前記層間絶縁膜を設けることを特徴とする。このような方法によれば、層間絶縁膜を形成するうえで、フォトリソグラフィ、エッチング及び穴あけ工程が不要となるので、多層配線基板の製造工程を単純なものにすることができ、製造装置の小型化、製造期間の短縮化及び製造コストの低減化が可能となる。また、このような方法によれば、層間絶縁膜を形成するうえで、マスクが不要となるので、例えば、CADデー

(4)

5

タから直接層間絶縁膜を形成することが可能となり、設計から完成までの期間が短縮され、設計変更にも容易に対応できるようになる。また、このような方法によれば、液滴吐出方式で層間絶縁膜を設けるので、導体ポストの上面が確実に露出した状態に層間絶縁膜を形成することができる。

【0011】また、本発明の多層配線基板の製造方法は、前記層間絶縁膜が低粘度の液体を用いて形成されることが好ましい。このような方法によれば、セルフレベルリング効果により、下層配線に多少の段差があってもその下層配線の上に形成される導体ポストの上面及び層間絶縁膜の上面がそろった平坦な面となり、良好な構造の多層配線基板を形成することができる。

【0012】また、本発明の多層配線基板の製造方法は、前記導体ポストを液滴吐出方式で形成することが好ましい。このような方法によれば、導体ポストを形成するうえで、フォトリソグラフィ、エッチング及び穴あけ工程が不要となるので、多層配線基板の製造工程を単純なものにすることができ、製造装置の小型化、製造期間の短縮化及び製造コストの低減化が可能となる。また、このような方法によれば、導体ポストを形成するうえで、マスクが不要となるので、例えば、CADデータから直接導体ポストを形成することが可能となり、設計から完成までの期間が短縮され、設計変更にも容易に対応できるようになる。

【0013】また、本発明の多層配線基板の製造方法は、前記配線層のうちの少なくとも1つの配線層についての配線を液滴吐出方式で形成することが好ましい。このような方法によれば、配線を形成するうえで、フォトリソグラフィ、エッチング及び穴あけ工程が不要となるので、多層配線基板の製造工程を単純なものにすることができ、製造装置の小型化、製造期間の短縮化及び製造コストの低減化が可能となる。また、このような方法によれば、配線を形成するうえで、マスクが不要となるので、例えば、CADデータから直接導体ポストを形成することが可能となり、設計から完成までの期間が短縮されて、設計変更にも容易に対応できるようになる。

【0014】また、本発明の多層配線基板の製造方法は、前記層間絶縁膜、前記配線層及び前記導体ポストの全てを液滴吐出方式で形成することが好ましい。このような方法によれば、多層配線基板の全工程について、フォトリソグラフィ、エッチング及び穴あけ工程が不要となるので、多層配線基板の製造工程を大幅に単純なものにすることができ、さらなる製造装置の小型化、製造期間の短縮化及び製造コストの低減化が可能となる。また、このような方法によれば、多層配線基板の全工程について、マスクが不要となるので、例えば、CADデータから直接多層配線基板を形成することが可能となり、設計から完成までの期間がより短縮され、設計変更にも容易に対応できるようになる。

6

【0015】また、本発明の多層配線基板の製造方法は、前記層間絶縁膜、前記配線層及び前記導体ポストの全てを同一の液滴吐出装置を用いて形成することが好ましい。このような方法によれば、液滴吐出装置が複数の吐出ヘッドを持っていたり、通常の画像印刷用のカラーインクジェットプリンターのように複数の液体（インク）を一つのヘッドの複数のノズル群に別々に供給するような構造のヘッドであれば、塗布パターンを制御する電子ファイル（ビットマップ）を入れ替えるだけで、一つの液滴吐出装置で層間絶縁膜、配線層及び導体ポストを形成することができるので、さらなる製造期間の短縮化及び製造コストの低減化が可能となり、設計変更にもさらに容易に対応できるようになる。

【0016】また、本発明の多層配線基板の製造方法は、前記配線及び導体ポストの形成は、導電性インクの基板への吐出と、該吐出された導電性インクの乾燥とを交互に繰り返す工程を有することが好ましい。このような方法によれば、基板への導電性インクの吐出と乾燥とを交互に繰り返すことで、配線又は導体ポストをなす導電膜の厚さを徐々に大きくして所望の厚さ及び高さにすることができる。また、この方法では、金属微粒子を含む導電性インク（溶剤）を乾燥させた後に、その塗布膜には同じ金属微粒子を含む導電性インクに対して撥液性があるので、その塗布膜に重ねて導電性インクを塗布しても広がらずに、高さ方向の膜厚だけを稼ぐことができるという効果がある。そこで、この効果を利用して、必要な部分にのみ導体ポストを形成することができる。

【0017】また、本発明の多層配線基板の製造方法は、前記液滴吐出方式で基板に液滴を吐出する前に、該基板の被吐出面に撥水处理を施すことが好ましい。このような方法によれば、配線の幅を狭くすることができ、より精密な配線構造を形成することができる。

【0018】また、本発明の多層配線基板の製造方法は、前記液滴吐出方式で基板に吐出をする前に、該基板の被吐出面に受容層を形成することが好ましい。このような方法によれば、所定の位置に配線及び導体ポストを形成することが容易となる。

【0019】また、本発明の多層配線基板の製造方法は、前記配線及び導体ポストが、基板に吐出され乾燥した導電性インクを焼成する工程を有して形成することが好ましい。このような方法によれば、基板に吐出された導電性インクにおいて電気導性を発現させることができる。すなわち、導電性インクを乾燥させただけでは電気導性が発現しないので、焼成することで電気導性を発現させるものである。

【0020】また、本発明の多層配線基板の製造方法は、前記層間絶縁膜の形成がポリイミドまたはポリイミド前駆体を含む液体を基板に吐出する工程を有することが好ましい。このような方法によれば、例えば、ポリイミドの前駆体を溶剤で希釈して液滴吐出することが可能

(5)

7

な粘度にして液滴吐出した後、摂氏300度で焼成することで、層間絶縁膜を形成することができる。

【0021】また、本発明の多層配線基板の製造方法は、前記層間絶縁膜の形成が、前記ポリイミドまたはポリイミド前駆体を含む液体を基板に吐出する工程の後に、該基板を焼成する工程を有することが好ましい。

【0022】また、本発明の多層配線基板の製造方法は、前記層間絶縁膜の高さが前記導体ポストの高さと略同一となるように、前記液滴吐出方式で吐出される液滴の量、該液滴を配置する密度及び吐出走査回数を調整することが好ましい。このような方法によれば、層間絶縁膜の高さ（膜厚）と導体ポストの高さ（膜厚）が略同一となる良好な構造の多層配線基板を形成することができる。また、このような方法によれば、液滴吐出方式でパターン塗布するにあたり、セルフレベリング効果が期待できる場合には、導体ポストを形成するのに用いたビットマップのネガパターンをそのまま使って（導体ポストの部分の避けて）層間絶縁膜を形成するための塗布を行うことができる。一方、セルフレベリング効果があまり期待できない場合は、一旦下層配線を避けるように、下層配線と同じ高さになるまで、層間絶縁膜を形成するための塗布を行った後、導体ポストの部分の避けるように同様の塗布を行なう。そして、最後に焼成を行って、ポリイミドなどからなる層間絶縁膜を完成させることができる。

【0023】また、本発明の多層配線基板の製造方法は、前記層間絶縁膜の高さが前記導体ポストの高さと略同一となるように該層間絶縁膜及び該導体ポストを形成し、該層間絶縁膜又は該導体ポストの上に、請求項1乃至13のいずれか一項記載の多層配線基板の製造方法を用いて、前記配線層、前記層間絶縁層及び前記導体ポストのうちの少なくとも一つを形成することを特徴とする。このような方法によれば、簡素な製造工程で多層配線基板を製造することができる。すなわち、例えば、導体ポストの上面が露出し、それ以外の部分は導体ポスト上面と同じ高さの層間絶縁膜で覆われた状態となった後、再び、基板の撥水処理、液滴吐出方式での配線形成及び導電ポスト形成、焼成、層間絶縁膜の形成、焼成などを所定回数繰り返すことにより、原理的には層数について限度のない多層配線を形成することができる。

【0024】また、本発明の多層配線基板の製造方法は、集積回路を有するチップに、請求項1乃至14のいずれか一項記載の多層配線基板の製造方法を用いて多層配線を形成することを特徴とする。このような方法によれば、IC（集積回路）チップ上にいきなり液滴吐出で多層配線を形成することができる。

【0025】また、本発明の多層配線基板の製造方法は、請求項1乃至14のいずれか一項記載の製造方法以外の方法で、配線層、層間絶縁膜及び導体ポストのうちの少なくとも一つが形成された基板に対して、請求項1

8

乃至14のいずれか一項記載の製造方法を用いることを特徴とする。このような方法によれば、本発明の多層配線基板の製造方法とは別の製造方法で途中まで形成された基板に対して、本発明の多層配線基板の製造方法を用いて多層配線を形成することができる。この方法は、例えば、両面実装に対応するのに好適である。例えば、最内層の基板にパターンを形成した後、又はその前にスルーホールを開けておいてそれを金属ペーストなどで埋め、その後は導体ポストを立てる工程から本発明の製造方法を用いることで、両面に実装された多層配線基板を液滴吐出方式のみを用いて形成することができる。

【0026】また、本発明の多層配線基板は、少なくとも2層の配線層と、該配線層間に設けられた層間絶縁膜と、該配線層間を導通させる導体ポストとを有してなる多層配線基板であって、前記配線層、層間絶縁膜及び導体ポストのうちの少なくとも一つが、請求項1乃至16のいずれか一項記載の多層配線基板の製造方法によって製造されたものであることを特徴とする。このような基板によれば、前記配線層、層間絶縁膜又は導体ポストを形成するうえで、液滴吐出方式を用いるので、高密度な多層配線を高精度に形成することができる。

【0027】また、本発明の多層配線基板は、少なくとも2層の配線層と、該配線層間に設けられた層間絶縁膜と、該配線層間を導通させる導体ポストとを有してなる多層配線基板であって、前記導体ポストは、厚さが1マイクロメートルから20マイクロメートルであり、直径が10マイクロメートルから200マイクロメートルのお椀を伏せたような形状であることを特徴とする。このような基板によれば、導体ポストが微小であるので、高密度な多層配線を高精度に形成することができる。

【0028】また、本発明の多層配線基板は、前記層間絶縁膜の高さと前記導体ポストの高さが略同一であることが好ましい。このような基板によれば、層数の多い多層配線基板を容易に形成することができる。

【0029】また、本発明の多層配線基板は、前記層間絶縁膜の上面が略平面に形成されていることが好ましい。このような基板によれば、層数の多い多層配線基板を高精度に形成することができる。

【0030】また、本発明の電子デバイスは、配線層と、該配線層の上に設けられた層間絶縁膜と、前記配線層の配線に接続されているとともに前記層間絶縁膜を貫くように設けられている導体ポストとを有してなる電子デバイスであって、前記配線層、層間絶縁膜及び導体ポストのうちの少なくとも一つが、請求項1乃至16のいずれか一項記載の製造方法によって製造されたものであることを特徴とする。このような電子デバイスによれば、高密度な多層配線を高精度に形成することができる。

【0031】また、本発明の電子デバイスは、配線層と、該配線層の上に設けられた層間絶縁膜と、前記配線

50

(6)

9

層の配線に接続されているとともに前記層間絶縁膜を貫くように設けられている導体ポストとを有してなる電子デバイスであって、前記導体ポストは、厚さが1マイクロメートルから20マイクロメートルであり、直径が10マイクロメートルから200マイクロメートルのお椀を伏せたような形状であることを特徴とする。このような電子デバイスによれば、導体ポストが微小であるので、微小形状の電子デバイスを構成することができ、電子装置を小型化することができる。

【0032】また、本発明の電子デバイスは、前記層間絶縁膜の高さと前記導体ポストの高さが略同一であることが好ましい。このような電子デバイスによれば、層数の多い電子デバイスを高精度に形成することができ、電子装置を小型化することができる。

【0033】また、本発明の電子デバイスは、前記層間絶縁膜の上面が略平面に形成されていることが好ましい。このような電子デバイスによれば、層数の多い電子デバイスを高精度に形成することができ、電子装置の小型化及び精密化が可能となる。

【0034】また、本発明の電子機器は、前記多層配線基板を有することを特徴とする。本発明によれば、電子機器の製造時間を短縮しながら製造コストの低減化及び小型化をすることが可能となる。

【0035】また、本発明の電子機器は、前記電子デバイスを有することを特徴とする。本発明によれば、電子機器の製造時間を短縮しながら製造コストの低減化及び小型化をすることが可能となる。

【0036】

【発明の実施の形態】以下、本発明に係る多層配線基板の製造方法について、図面に基いて説明する。

（第1実施形態）図1乃至図3は、本発明の第1実施形態に係る多層配線基板の製造方法を示す工程図である。図1は撥インク処理工程から層間ポスト形成までを示している。図2は層間絶縁膜形成工程を示している。図3は二層目配線パターン形成以降の工程を示している。本実施形態では基板10の片面側に多層プリント配線を形成する。

【0037】＜導電性インク＞まず、液滴吐出装置から吐出される液体であって、多層プリント配線を形成するときに用いられる導電性インクについて説明する。本実施形態では、直径10nm程度の金微粒子をトルエン中に分散させた金微粒子分散液（真空冶金社製、商品名「パーフェクトゴールド」）をトルエンで希釈し、その粘度が3[mPa・s]となるように調整し、この液体を導電性インクとして用いる。

【0038】＜撥インク処理工程＞次に、基板の表面に施される撥インク処理（撥水处理）について説明する。この撥インク処理を施すことにより、基板上に吐出された導電性インクなどの位置をより高精度に制御することができる。まず、ポリイミドからなる基板10をIPA

10

にて洗浄後、波長254nmの紫外線を10mW/cm<sup>2</sup>の強度で10分間照射してさらに洗浄（紫外線照射洗浄）する。この基板10に撥インク処理を施すために、ヘキサデカフルオロ1、1、2、2、テトラヒドロデシルトリエトキシシラン0.1gと基板10を容積10リットルの密閉容器に入れて摂氏120度で2時間保持する。これにより、基板10上に撥インク性の単分子膜が形成される。この単分子膜が形成された基板10の表面と、その表面上に液滴された上記導電性インクとの接触角は、例えば約70度となる。

【0039】上記の撥インク処理後の基板表面と導電性インクとの接触角は、液滴吐出方式で多層プリント配線を形成するためには大きすぎる。そこで、この基板10に、前記洗浄をしたときと同じ波長（254nm）の紫外線を2分間照射する。その結果、導電性インクと基板表面の接触角は約35°となる。なお、撥インク処理の代わりに受容層を形成してもよい。

【0040】＜1層目配線形成工程＞上記撥インク処理が行われた基板10に上記導電性インクを吐出する。これは、液滴吐出装置のインクジェットヘッド11から液滴12として吐出され、所定のドット間隔のビットマップパターンとなるように行われる。次いで、加熱処理を行なって導電膜パターンを形成する。

【0041】ここで、インクジェットヘッド11としては、例えば、市販のプリンター（商品名「PM950C」）のヘッドを使用する。また、インク吸入部がプラスチック製であるため、有機溶剤に対して溶解しないよう吸入部を金属製の治具に変更したものを用いる。インクジェットヘッド11の駆動電圧を20Vとして上記導電性インクを吐出すると、5ピコリットルの体積の液滴12が吐出される。その液滴12の直径は約27μmである。液滴12が基板10上に着弾（接触角35度）した後、その液滴12は基板10上で直径約45μmに広がる。

【0042】基板10上に描画する配線パターンとしては、例えば、1辺が50μmの正方形からなるグリッド上に白黒2値のビットマップとして設計し、このビットマップに従って液滴12を吐出することで形成した。すなわち、図1(a)に示すようにインクジェットヘッド11から基板10上に、金微粒子を含む導電性インクを50μmごとの配置となるように吐出した。

【0043】上記の条件では、基板10に着弾した1個の液滴13は直径約45μmに広がるので、隣り合った液滴13同士は接触せず、すべてのドット（液滴13）が基板10上で孤立している。一旦、パターン吐出を行なった後、導電性インクの溶剤を乾燥させるために基板10に摂氏100度の熱風を15秒間あて、その後、基板10が室温に戻るまで数分間自然冷却した。その結果、図1(b)に示す状態となる。

【0044】この処理の後でも、基板10の撥インク性

(7)

11

は処理前と変わらない。また、乾燥などにより液滴13から溶剤が飛ばされて形成されたインク滴14の厚さは約 $2\mu\text{m}$ となる。また、このインク滴14上の撥インク性は、インク滴14の無い部分とほとんど同程度の撥インク性となる。

【0045】その後、図1(c)のように、上述の孤立したドット(インク滴14)の中間を狙って再び上記と同様の条件で液滴13と同じ液体からなる液滴15を吐出する。図1では、断面図のみを示しているが、本図

(紙面)と垂直方向にもインク滴14と同様な孤立したドットが存在する場合には、そのドットの中間も同様に液滴15を吐出していく。この吐出では、基板10とインク滴14の上の撥液性がほとんど同一であったため、上記の条件での吐出で、インク滴14の無い基板10への吐出の場合とほぼ同様の結果が得られる。

【0046】その後、液滴15について上記と同様に熱風乾燥を行なって導電性インクの溶剤を揮発させ、これによって図1(d)のように、すべてのインク滴が繋がったパターン16が形成される。さらに、膜厚をかせぐため、また配線パターンにドットの形状が残らないようにするために、上記と同様に行うドットの中間を狙っての吐出と熱風乾燥の課程とを、既述の分も含めて合計6回繰り返し、図1(e)に示すような線幅 $50\mu\text{m}$ 、膜厚 $10\mu\text{m}$ の配線パターン17を形成する。なお、この段階では導電性インクの溶剤を飛ばしただけで、焼成が不十分であるため配線パターンには電気伝導性はない。

【0047】＜層間導通ポスト形成工程＞次に、層間絶縁膜を貫通して二層目との導通を図るためのものである層間導通ポスト(導体ポスト)18を形成する。ここでは、上記の1層目配線形成工程と全く同様の工程で層間導通ポストを形成することができる。すなわち、層間導通が必要な場所のみに銀微粒子を含有した導電性インクを吐出し、間に熱風乾燥をはさんで重ねて吐出する。そして合計6回の吐出にて図1(f)に示すように、一層目からの高さが $10\mu\text{m}$ の層間導通ポスト18を形成する。

【0048】その後、パターン形成された基板10を大気中で摂氏 $300$ 度にて30分間熱処理して、銀微粒子同士を電氣的に接触させる。これにより、1層目の配線パターン17と層間導通ポスト18が一体化した形で形成される。また、この熱処理によって配線パターン17及び層間導通ポスト18全体の膜厚は、図1(g)のように熱処理前の約半分となる。ここで、銀配線パターンの電気伝導度は約 $2[\mu\Omega\text{cm}]$ となる。配線パターン17と基板10との密着力をセロテープ(登録商標)試験による評価を行なうと、剥がれはなく十分な密着力があることがわかる。

【0049】＜層間絶縁膜形成工程＞次に、層間絶縁膜を形成するにあたり、一層目の配線パターン17が形成

12

された基板10に、前処理として波長 $256\text{nm}$ の紫外線を $10[\text{mW}/\text{cm}^2]$ の強度で5分間照射した。これによって、基板10の表面及び一層目の配線パターン17上が親インク性となる。

【0050】層間絶縁膜を形成するためのインク21としては、例えば、市販のポリイミドワニス(デュボン社製、製品名「パイルML」)を溶剤(N-メチル-2-ピロリドン)で希釈して、粘度が $20[\text{mPa}\cdot\text{s}]$ となるように調整して用いた。このインク21を、前述の1層目配線形成工程における導電性パターンの形成で用いた液滴吐出装置と同じ装置にて、層間導電ポスト18の部分を避けるように塗布した。インク滴の量は例えば5ピコリットルとするが、親インク性の基板10表面及び配線パターン17に着弾した後はぬれ広がって、層間導電ポスト部以外の部分はすべてインク21で覆われる。また、インク21の表面は、セルフレベルング効果によって平坦となる。そして、図2(a)で示すように、層間導電ポスト18がインク21の液面から僅かに( $0.1\mu\text{m}$ 程度)出る高さまで、液滴吐出装置にて何度かインク21の重ね塗りをする。

【0051】次いで、この基板10を摂氏 $400$ 度で30分間熱処理し、溶剤の除去とポリイミドの硬化を行なった。この結果、図2(b)に示すように、ポリイミド22の膜厚は熱処理前のインク21の約半分となる。そこで、もう一度上記と同様にポリイミド22の上にインク21をパターン塗布し、図2(c)に示すように、層間導電ポスト18がインク21の液面から僅かに出るようにする。そして、上記と同様に摂氏 $400$ 度で30分間熱処理して硬化させると、図2(d)に示すようにポリイミド22の膜厚は最も薄い部分で例えば合計 $8\mu\text{m}$ となる。

【0052】この状態では、ポリイミド22の表面には一層目の配線パターンを反映した凹凸が見られる。しかし、もう一度上記と同様のプロセス(ポスト上面が僅かに出るまで高さまで塗布して焼成)を行なえば、さらに平坦に近づく。また、ポリイミド前駆体の塗布を全面に行なわず凹部のみ塗布して焼成しても同様である。

【0053】このような工程を何度か繰り返すことにより、ポリイミド22の表面は、その後のプロセスには凹凸がほぼ無視できる程度にまで平坦化することができる。表面の凹凸がそれほど重視されないアプリケーションでは上記ほど平坦化工程を行う必要がない。なお、以下の実施形態では、説明を簡略化するために図面上ではすべて表面が平坦になったものとして説明している。以上により、層間導通ポスト18の上面が確実に露出した形で層間絶縁膜(ポリイミド22)を形成することができる。

【0054】＜二層目配線パターン形成工程＞層間絶縁膜(ポリイミド22)の上に、二層目の配線パターン31を形成するには、一層目と全く同様な工程を行う。す

(8)

13

なわち、IPA洗浄、紫外線照射洗浄、フッ化アルキルシランによる撥インク化、紫外線照射による接触角の調整、銀微粒子含有インクのパターン吐出、熱風乾燥という各工程を行う。そして、吐出→熱風乾燥→吐出→熱風乾燥という工程を必要な回数だけ繰り返す。

【0055】さらに多層化する場合には、図3(a)に示すように、1層目と同様にして層間導通ポスト32を形成した後、二層目配線と同時に焼成して導通を図る。その上から1・2層間の層間絶縁膜(ポリイミド22)を形成したときと全く同様に、図3(b)で示すような2、3層間の層間絶縁膜33を形成する。このような工程を必要な回数だけ繰り返すことで、何層でも多層化することができる。図3(c)は三層目まで形成した例である。

【0056】(第2実施形態)図4は、本発明の第2実施形態に係る多層配線基板の製造方法を示す工程図である。本実施形態ではコア基板40の両面に多層プリント配線を形成する。

【0057】第1実施形態と同様にして液滴吐出方式で配線パターンと絶縁膜パターンを積層して形成したのでは、第1実施形態と同様な片面基板しかできない。基板の両面に多層プリント配線を形成するためには、中心となるコア基板40として、通常の両面配線基板を用いて、これを出発点として第1実施形態と同様の工程を両面側に対して行なえばよい。

【0058】ただし、コア基板40としてはスルーホールがないタイプのものを使うのが好ましく、これは貫通穴を金属ペースト41で充填する方法、片側銅箔基板に銅箔までの非貫通穴をあけて金属ペーストで充填する方法などがある。穴あけは通常のフォトリソグラフィ、またはレーザー照射によって行なう。また、第1実施形態で用いたものと同様の銀微粒子を含有する導電性インクを液滴吐出方式にて貫通穴又は非貫通穴に充填する方法でもよい。

【0059】このように、コア基板40両面に配線パターンが形成された状態から出発して、層間導通ポスト42を形成する工程、層間絶縁膜43を形成する工程、次の層の配線パターン44を形成する工程、を両面に対して順次繰り返すことにより、コア基板40の両面に多層プリント配線を形成することができる。

【0060】(第3実施形態)図5は、本発明の第3実施形態に係る多層配線基板の製造方法を示す工程図である。本実施形態は、チップ・スケール・パッケージ(CSP: Chip Scale Package)手法で再配線を形成するもの、すなわちチップ上にいきなり配線パターンを描画して多層プリント配線を形成するものである。

【0061】まず、図5(a)に示すように、アルミパッド51まで形成したICチップ50に、単分子膜を使って撥インク処理をする。この処理は、第1実施形態で行った処理とほとんど同様であり、単分子膜の材料とし

14

てデシルトリエトキシシランを用いた以外は第1実施形態の撥インク処理と同じである。

【0062】次いで、図5(b)に示すように、第1実施形態と同様な工程により、すべてのアルミパッド51の中心に、高さ5 $\mu$ mで直径50 $\mu$ mの層間導電ポスト52を形成する。さらに、第1実施形態と同様な工程により、層間絶縁膜53を層間導電ポスト52の上面と同じ高さまで形成する。これによって、層間導電ポスト52の上面を確実に露出させながら表面が平坦な層間絶縁膜53を形成することができる。

【0063】その後、上記と同様にして撥インク処理→二層目配線層形成→層間導電ポスト形成→層間絶縁膜形成の工程を行うことで、図5(c)のように、ICチップ50のアルミパッド51から再配線54を形成する。次いで、基板表面に現れている層間導電ポスト52の上に通常のフォトリソグラフィ、又は第1実施形態における配線形成と同様な方法で、パッド55とそのパッド55上に設けられるバンプ56とを形成する。

【0064】(第4実施形態)図6は、本発明の第4実施形態に係る多層配線基板の製造方法を示す工程図である。本実施形態は、無線ICカード60におけるアンテナ終端部のコイル形状を上記実施形態の製造方法で形成するものである。なお、図6(a')、図6(b')、図6(c')は、図6(a)、図6(b)、図6(c)における2つのパッド部65間の断面図をそれぞれ示している。

【0065】この無線ICカード60は、ポリイミドフィルム61に実装されたICチップ63とコイル状のアンテナ62からなる。ICチップ63は、不揮発性メモリ、ロジック回路及び高周波回路などからなり、外部の発信機から出された電波をアンテナ62で捉えて電力供給を受けることにより動作する。また、ICチップ63は、アンテナ62が受信した信号を解析し、その解析結果に対応した必要な所定の信号をアンテナ62から発信させるようになっている。

【0066】このような無線ICカードを作成するために、まず、第一実施形態の1層目配線形成工程と同様に、図6(a)に示すように、ポリイミドフィルム61上にコイル状のアンテナ62を形成する。パッド部64やICチップ63を実装する端子部63aもアンテナ62と同時に形成される。アンテナ62を形成した後、第一実施形態と同様に、さらにパッド部64の上に層間導通ポスト65を形成する。次いで、第1実施形態と同様に、図6(b)に示すように、層間導通ポスト65の上面が出るようにポリイミドをパターンに塗布して層間絶縁膜66を形成する。

【0067】層間絶縁膜66を形成した後に、さらに、第1実施形態と同様に、図6(c)に示すようなパターンに銀微粒子含有の導電性インクを液滴吐出方式で塗布し、その後、焼成してコイル状のアンテナ62の両



(9)

15

端を接続する配線67を形成する。最後にICチップ63を異方性導電フィルムを使って図6(C)の位置に実装し、さらに図示しない保護フィルムで全体をラミネートして無線ICカード60となる。この無線ICカード60は、例えば、5cm離れた外部のリーダー/ライターと通信することができる。

【0068】なお、パッド部64が数mm角と比較的大きい場合は、層間導通ポスト65を形成しておかなくても、層間の導通に必要な領域を残して層間絶縁膜65を形成することで、多層プリント配線を設けることができる。この場合、層間絶縁層66の端の部分はテーパを持った形状になるため、その層間絶縁層66の上に断線することなく、液滴吐出方式により配線67を形成することができる。

【0069】(電子機器) 上記実施形態の多層配線基板の製造方法を用いて製造された基板を備えた電子機器の例について説明する。図7は、携帯電話の一例を示した斜視図である。図7において、符号1000は携帯電話本体を示し、符号1001は上記実施形態の製造方法で製造された多層配線基板を用いた表示部を示している。

【0070】図8は、腕時計型電子機器の一例を示した斜視図である。図8において、符号1100は時計本体を示し、符号1101は上記実施形態の製造方法で製造された多層配線基板を用いた表示部を示している。

【0071】図9は、ワープロ、パソコンなどの携帯型情報処理装置の一例を示した斜視図である。図9において、符号1200は情報処理装置、符号1202はキーボードなどの入力部、符号1204は情報処理装置本体、符号1206は上記実施形態の製造方法で製造された多層配線基板を用いた表示部を示している。

【0072】図7から図9に示す電子機器は、上記実施形態の製造方法で製造された多層配線基板を備えているので、従来のものよりも簡素な製造工程で精密に製造されるとともに、製造期間を短縮することができる。

【0073】なお、本発明の技術範囲は上記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能であり、実施形態で挙げた具体的な材料や層構成及び製造方法などはほんの一例に過ぎず、適宜変更が可能である。例えば、本発明に係る製造方法は、多層プリント配線の製造に限定されるものではなく、大型ディスプレイ装置などの多層配線に適用することができる。

【0074】

【発明の効果】以上の説明で明らかなように、本発明によれば、導体ポストの周辺に液滴吐出方式を用いて層間絶縁膜を設けるので、比較的簡素な製造工程で精巧な多層配線を形成することが可能となる。

【図面の簡単な説明】

【図1】 本発明の第1実施形態に係る多層配線基板の製造方法を示す工程図である。

16

【図2】 本発明の第1実施形態に係る多層配線基板の製造方法を示す工程図である。

【図3】 本発明の第1実施形態に係る多層配線基板の製造方法を示す工程図である。

【図4】 本発明の第2実施形態に係る多層配線基板の製造方法を示す工程図である。

【図5】 本発明の第3実施形態に係る多層配線基板の製造方法を示す工程図である。

【図6】 本発明の第4実施形態に係る多層配線基板の製造方法を示す工程図である。

【図7】 本実施形態の電気光学装置を備えた電子機器の一例を示す図である。

【図8】 本実施形態の電気光学装置を備えた電子機器の一例を示す図である。

【図9】 本実施形態の電気光学装置を備えた電子機器の一例を示す図である。

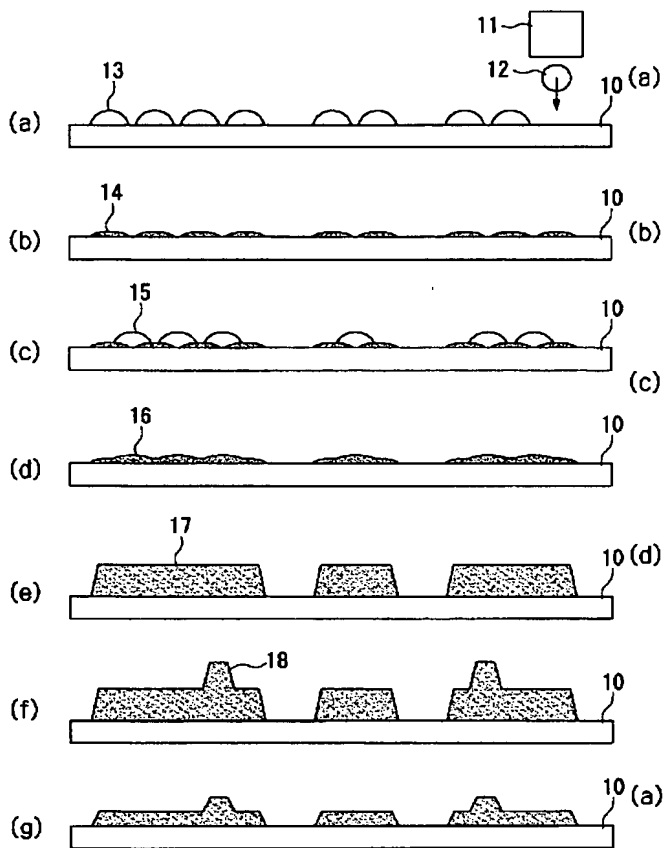
【符号の説明】

10	基板
11	インクジェットヘッド
12, 13, 15	液滴
14	インク滴
16	パターン
17	配線パターン
18	層間導通ポスト(導体ポスト)
21	インク
22	ポリイミド(層間絶縁膜)
31	配線パターン(二層目)
32	層間導通ポスト
33	層間絶縁膜
40	コア基板
41	金属ペースト
42	層間導通ポスト
43	層間絶縁膜
44	配線パターン
50	ICチップ
51	アルミパッド
52	層間導電ポスト
53	層間絶縁膜
54	再配線
55	パッド
56	バンブ
60	無線ICカード
61	ポリイミドフィルム
62	アンテナ
63	ICチップ
63a	ICチップの接続部
64	パッド部
65	層間導通ポスト
66	層間絶縁膜
67	配線

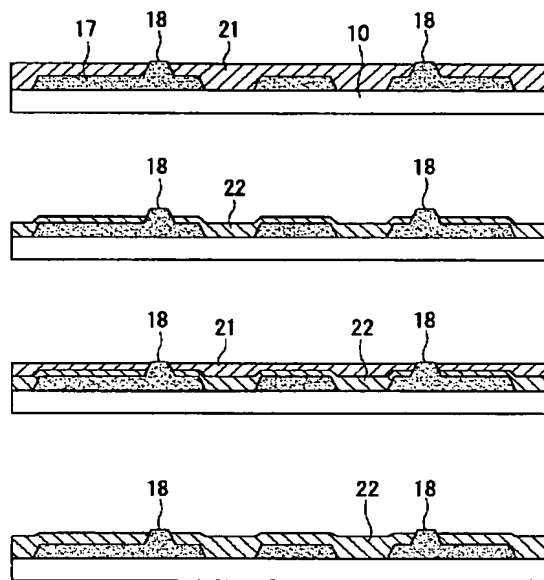


(10)

【図1】



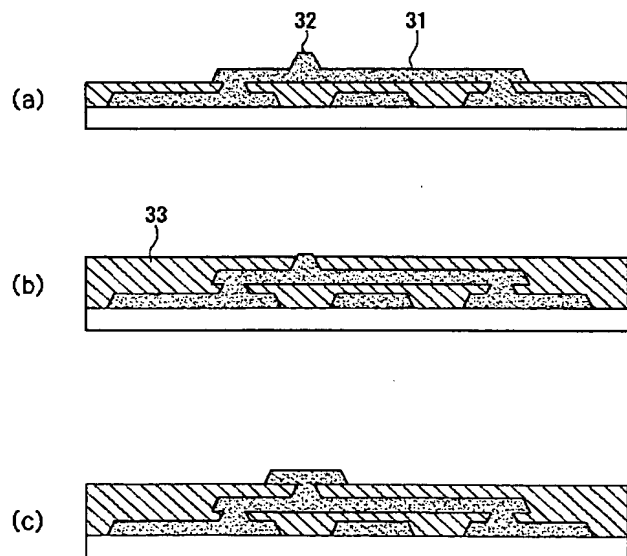
【図2】



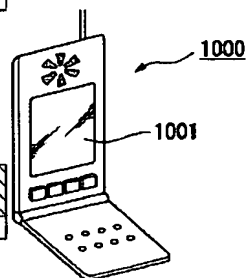
【図4】



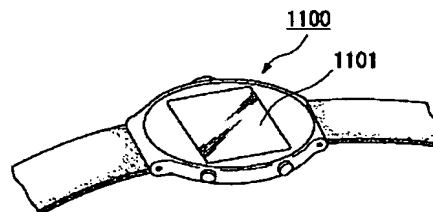
【図3】



【図7】

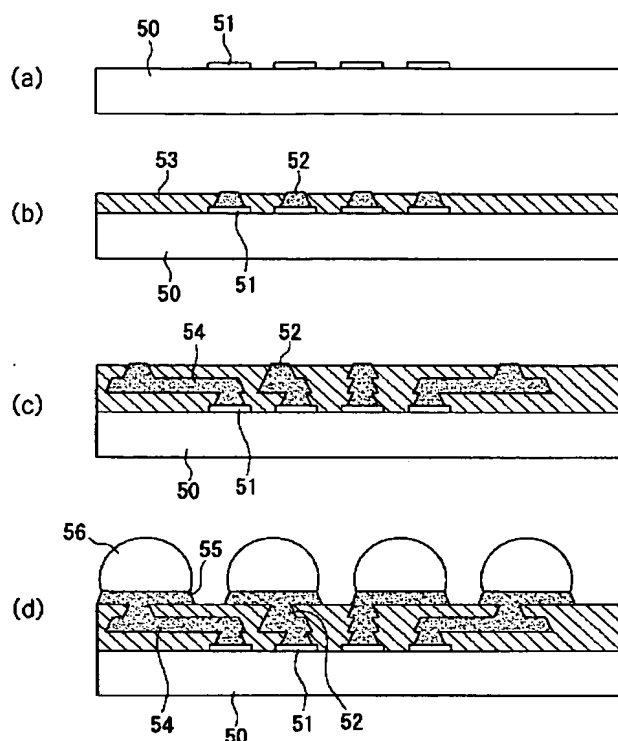


【図8】

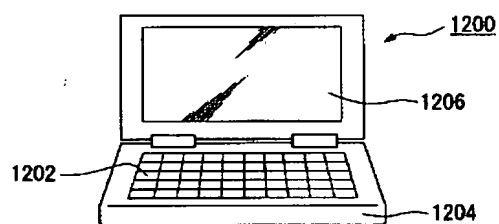


(11)

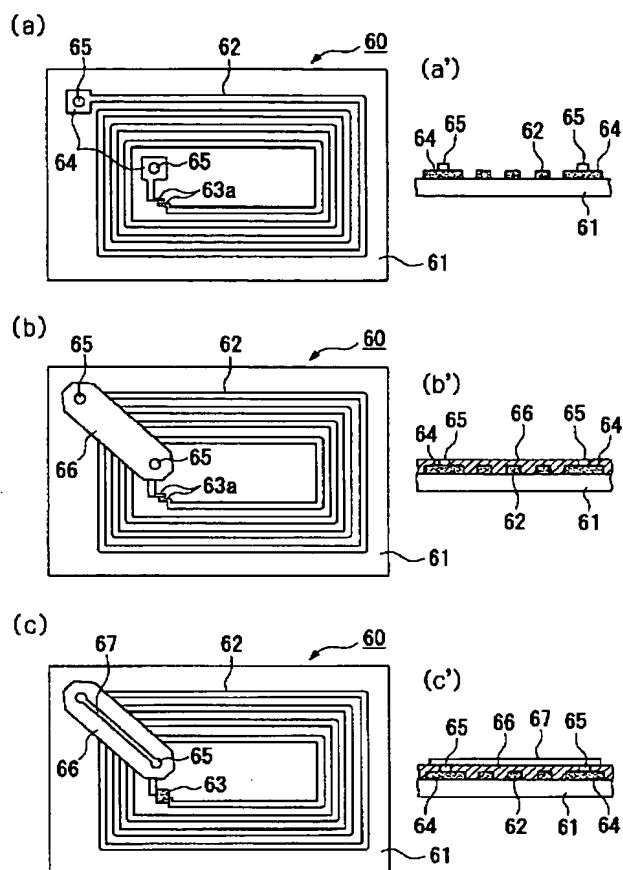
【図5】



【図9】



【図6】



フロントページの続き

(51) Int. Cl. 7

H 0 1 L 23/12

H 0 5 K 3/10

識別記号

F I

H 0 5 K 3/10

H 0 1 L 23/12

テーマコード (参考)

D

N

(72) 発明者 橋本 貴志

長野県諏訪市大和3丁目3番5号 セイコ  
ーエプソン株式会社内

(72) 発明者 石田 方哉

長野県諏訪市大和3丁目3番5号 セイコ  
ーエプソン株式会社内

F ターム (参考) 5E343 AA12 BB23 DD17 EE37 FF05  
GG08 GG11

5E346 AA32 AA43 CC10 CC38 CC39  
DD03 EE20 EE39 FF24 GG06  
GG07 HH25 HH32 HH33

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☒ FADED TEXT OR DRAWING

☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☒ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**